

IP-ядро MKIO_CONTROL ver.2.10

Назначение

Сопряжение управляющего вычислителя (процессора — Microblaze или Power PC) подключенного на шину PLB, с микросхемой 1879BA1T по параллельной шине управления. IP-ядро предназначено для использования в САПР Xilinx EDK.

Структура

Структура IP-ядра в составе встроенной системы представлена на рисунке 1.

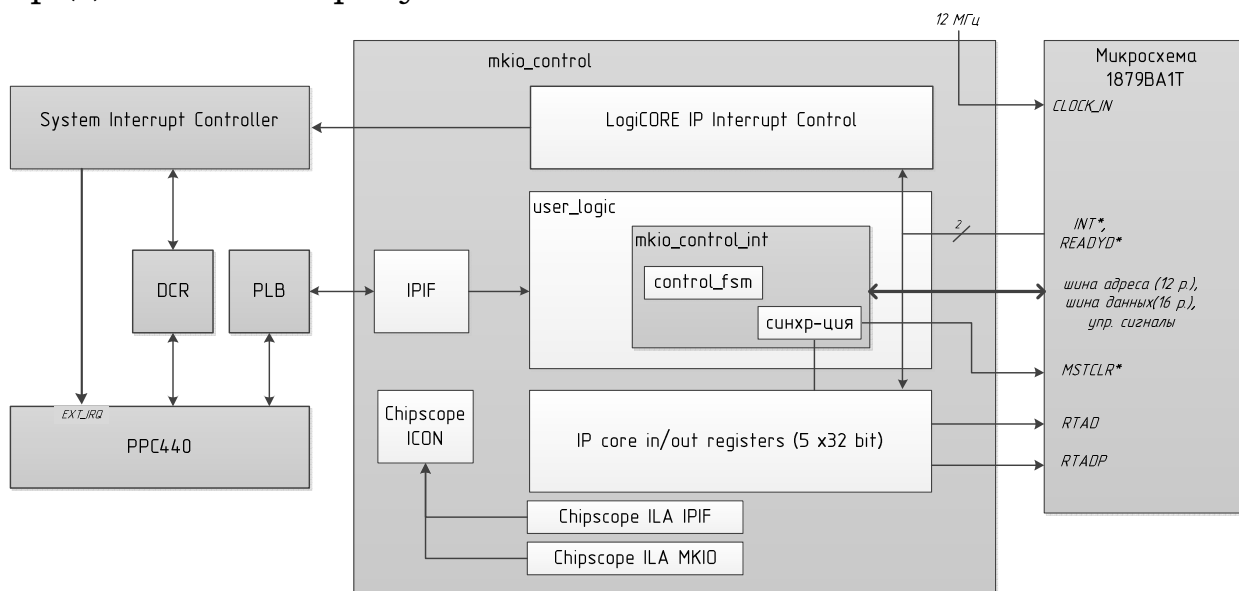


Рисунок 1 — IP-core MKIO_CONTROL в составе встроенной системы.

Краткое описание работы IP-ядра

IP-ядро содержит:

- 5 собственных 32-х разрядных регистров ввода/вывода;
- контроллер прерываний (для сигналов INT* и READYD*);
- логику формирования циклограмм обмена mkio_control_int;
- предоставляет два базовых адреса в адресном пространстве PLB для разграничения доступа к памяти или управляющим регистрам микросхемы.

MKIO_CONTROL реализует функционал PLB-slave и производит преобразование операций чтения/записи по шине

PLB в операции чтения/записи по шине управления микросхемы 1879BA1T с учетом особенностей микросхемы 2005 года выпуска (основная из них: циклограммы обмена формируются синхронно с тактовой частотой 12 МГц).

Формирует запросы прерывания процессору от микросхемы (сигналы INT* и READYD*) а так же позволяет смотреть состояние этих сигналов через регистры ввода/вывода.

Сущность `mkio_control_int` содержит конечный автомат, который формирует циклограммы обмена по управляющей шине микросхемы как на рисунке 3. Структура конечного автомата представлена на рисунке 2.

Причем, состояниям автомата *1, *2, *3 (рисунок 2) ... соответствуют фронты тактов 6, 8, 14, 16, 20 (рисунок 3) с момента первого фронта сигнала CLOCK_IN, выявленного после запроса проведения операции/чтения записи со стороны шины PLB.

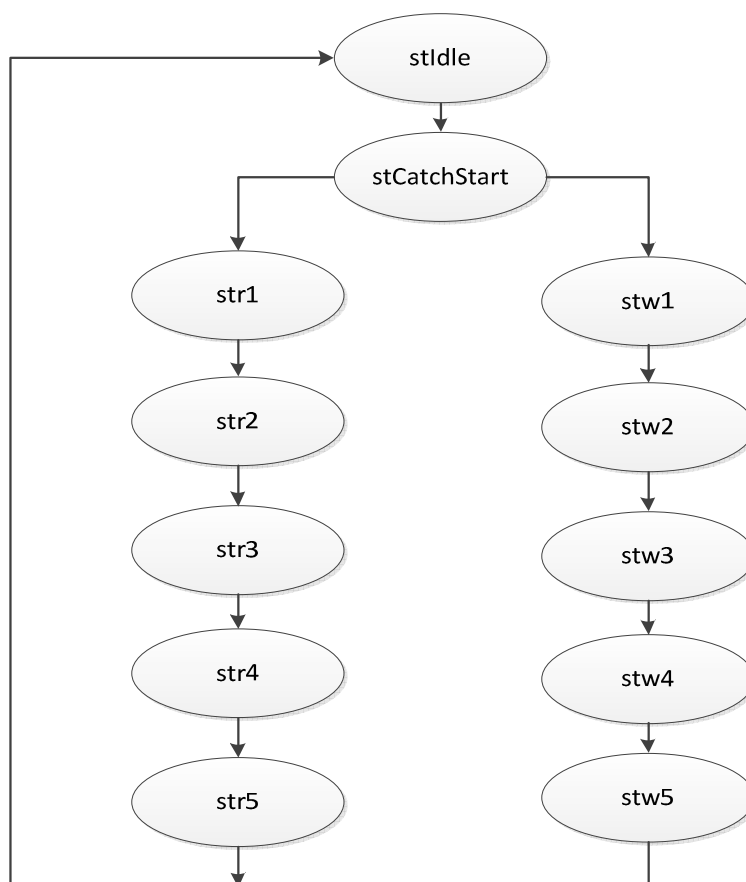


Рисунок 2 — Структура конечного автомата.

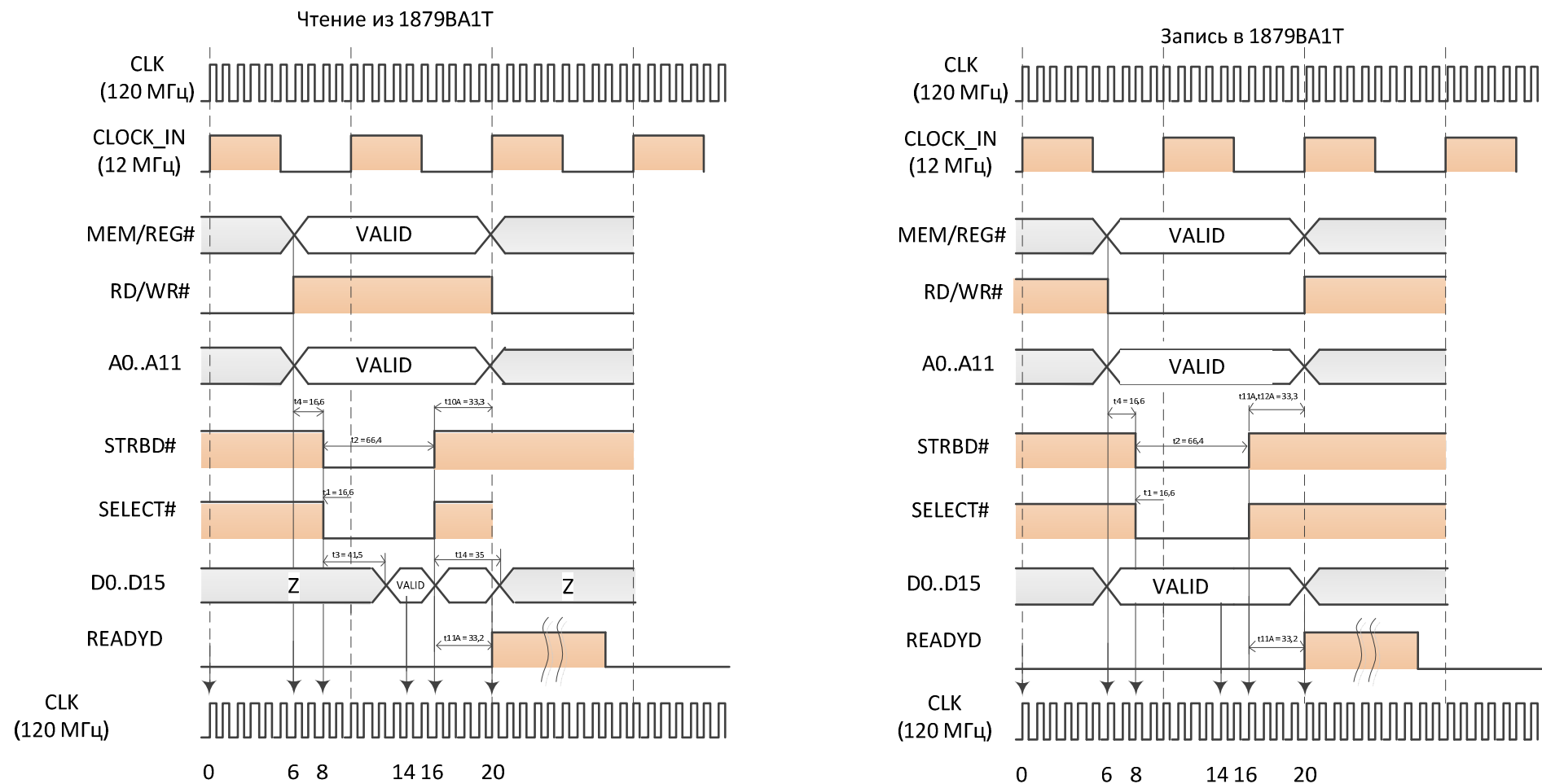


Рисунок 3 — Циклограммы чтения/записи по управляющей шине микросхемы 1879BA1T (2005 г.в.).

Сигналы IP-core MKIO_CONTROL

Clk_12M – вход, тактовый сигнал, микросхемы.

CLK_chipscope – вход, тактовый сигнал Chipscope (240 МГц).

READYD, INT, STRBD, SEL, RD_WR, MEM_REG, MSTCLR, A_chip, D_chip, RTAD, RTADP – смотри описание на микросхему 1879BA1T.

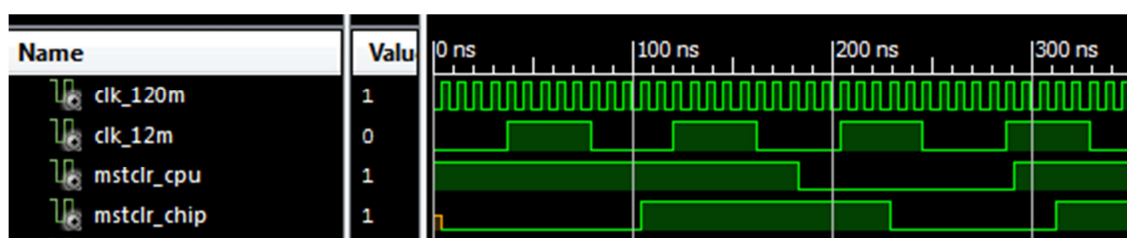
Организация подачи сигнала сброса микросхемы MSTCLR*

Согласно рисунка 1, сигнал MSTCLR* подается на вывод микросхемы через схему синхронизации с частотой 12 МГц. Циклограмма сигналов сброса микросхемы представлена на рисунке 4.

Для сброса микросхемы из программы управляющего вычислителя необходимо:

- записать «0» в конфиг. регистр 0, бит 0;
- организовать задержку в 2 или более тактов частоты 12 МГц;
- записать в конфиг. регистр 0, бит 0 значение «1».

При старте программы микросхема находится в сбросе.



mstclr_cpu — сигнал MSTCLR* из конфигурационного регистра;
mstclr_chip — сигнал, подаваемый на вывод MSTCLR* микросхемы
clk_12m — сигнал CLOCK_IN;
clk_120m — сигнал 120 МГц.

Рисунок 4 — Подача сигнала MSTCLR* на микросхему.

Параметры IP-core MKIO_CONTROL

Параметры перечислены в mprd-файле ядра:

- CM_DATA_BUS_W — ширина шины данных микросхемы;
- CM_ADDRESS_BUS_W — ширина шины адреса микросхемы;
- CM_ILA_IPIF_EN — включить/выключить создание ядра Chipscope отладки IPIF;
- CM_ILA_MKIO_EN — включить/выключить создание ядра Chipscope отадаки интерфейса MKIO.

Конфигурационные регистры IP-core MKIO_CONTROL

Таблица 1. Конфигурационный регистр 0

Бит #	Dir.	Имя	Описание
0	R/W	MSTCLR	1 — снять состояние Reset с микросхемы 0(default) — установить состояние Reset на микросхеме Сигнал MSTCLR подается на микросхему синхронно 12 МГц (через определенные интервалы времени после перехода сигнала 12 МГц в «1»).

Таблица 2. Конфигурационный регистр 1

Бит #	Dir.	Имя	Описание
0	R/W	—	Всегда = «1»
1	R	READYD	Текущее значение на выводе READYD* микросхемы
2	R	INT	Текущее значение на выводе INT* микросхемы

Таблица 3. Конфигурационный регистр 2

Бит #	Dir.	Имя	Описание
0	R/W	—	Всегда = «1»
1	R	READYD_latch	«1» — с момента предыдущего сброса зафиксировано состояние READYD* = «1»
2	R	INT_latch	«1» — с момента предыдущего сброса зафиксировано состояние INT* = «1»

Таблица 4. Конфигурационный регистр 3

Бит #	Dir.	Имя	Описание
0	R/W	—	Всегда = «1»
1	W	READYD_latch_clr	Запись «1» сбрасывает READYD_latch в «0»
2	W	INT_latch_clr	Запись «1» сбрасывает INT_latch в «0»

Таблица 5. Конфигурационный регистр 4.

Бит #	Dir.	Имя	Описание
0	R/W	RTAD0	Формирование адреса окончного устройства (подается на выводы микросхемы RTAD0÷5).
1	R/W	RTAD1	
2	R/W	RTAD2	
3	R/W	RTAD3	
4	R/W	RTAD4	
6	R/W	RTADP	Паритет адреса RTAD0÷5.

Для контроллера шины подать RTAD0÷5 = «00000000», RTADP = «1».

Краткое описание драйвера IP-core MKIO_CONTROL

Для программного обращения к IP-ядру разработан набор базовых функций, которые можно разделить на следующие группы:

- функции обеспечения работы с прерываниями;
- функции ввода/вывода в регистры IP-ядра (см. таблицы 1 — 4);
- функции ввода/вывода в конфигурационные регистры/память микросхемы.

Особенности обмена данными с микросхемой 1879BA1T.

1. Следующий цикл чтения/ записи можно начинать только после установки READYD* в «0». (учтено в функциях с постфиксом W — выход из них происходит только после завершения операции ввода/вывода в микросхеме).

2. На каждом цикле чтения микросхема выставляет на шину данных данные, расположенные по адресу, переданному в неё при выполнении предыдущего цикла чтения (т.о., для выполнения чтения по произвольному адресу необходимо выполнить два цикла чтения, что учтено в функциях с постфиксом ReadW2).

3. Сигналы INT*, READYD* возможно считать с регистров IP-ядра (предоставляется возможность считать как текущее, так и защелкнутое состояние — см. таблицы 3,4).